

Элементная база SSD: Micron vs Intel

04 Фев 2016

[Илья Манусов](#)



Реализация синхронного протокола передачи данных в запоминающей матрице SSD-диска, ставшая одним из этапов нивелирования различий между высокопроизводительными Flash ROM и DRAM, сегодня стандартизуется комитетами ONFI и JEDEC, подобно другим технологиям повышения производительности. Это позволяет удерживать технические решения различных компаний в рамках принятых стандартов. Несмотря на невозможность «изобретения велосипеда», разнообразие свойств этого «велосипеда» стандарт не запрещает. Значения таймингов, частот, разрядности шин, питающих напряжений и ряд других параметров могут быть различными.

В подтверждение этого рассмотрим номенклатуру NAND-компонентов, выпускаемых компанией Micron Technology, параллельно сравнивая её с аналогичными [микросхемами от компании Intel](#).

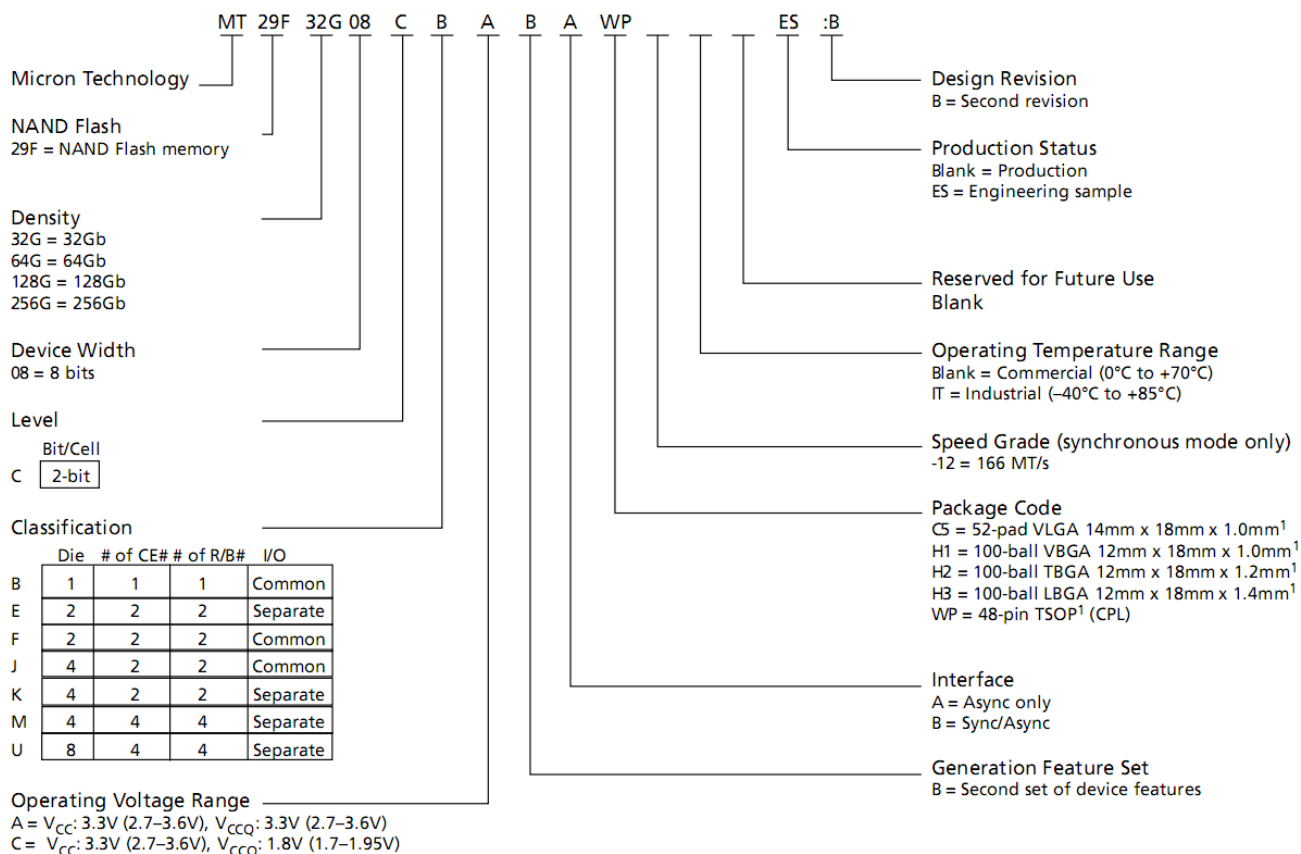


Рис 1. Расшифровка параметров микросхем Micron NAND Flash

Сигнальные цепи

Внимательно проанализировав таблицу (Рис.2), а также сравнив документы [1] и [2], можно понять, что несмотря на различающиеся в некоторых случаях имена сигналов для устройств Micron и Intel, электрически и функционально интерфейс микросхем двух производителей практически совпадает, включая разделение на синхронный и асинхронный режимы.

Asynchronous Signal ¹	Synchronous Signal ¹	Type	Description ²
ALE	ALE	Input	Address latch enable: Loads an address from DQx into the address register.
CE#	CE#	Input	Chip enable: Enables or disables one or more die (LUNs) in a target ¹ .
CLE	CLE	Input	Command latch enable: Loads a command from DQx into the command register.
DQx	DQx	I/O	Data inputs/outputs: The bidirectional I/Os transfer address, data, and command information.
-	DQS	I/O	Data strobe: Provides a synchronous reference for data input and output.
RE#	W/R#	Input	Read enable and write/read: RE# transfers serial data from the NAND Flash to the host system when the asynchronous interface is active. When the synchronous interface is active, W/R# controls the direction of DQx and DQS.
WE#	CLK	Input	Write enable and clock: WE# transfers commands, addresses, and serial data from the host system to the NAND Flash when the asynchronous interface is active. When the synchronous interface is active, CLK latches command and address cycles.
WP#	WP#	Input	Write protect: Enables or disables array PROGRAM and ERASE operations.
R/B#	R/B#	Output	Ready/busy: An open-drain, active-low output that requires an external pull-up resistor. This signal indicates target array activity.
V _{CC}	V _{CC}	Supply	V_{CC}: Core power supply

Asynchronous Signal ¹	Synchronous Signal ¹	Type	Description ²
V _{CCQ}	V _{CCQ}	Supply	V_{CCQ}: I/O power supply
V _{SS}	V _{SS}	Supply	V_{SS}: Core ground connection
V _{SSQ}	V _{SSQ}	Supply	V_{SSQ}: I/O ground connection
NC	NC	-	No connect: NCs are not internally connected. They can be driven or left unconnected.
DNU	DNU	-	Do not use: DNUs must be left unconnected.
RFU	RFU	-	Reserved for future use: RFUs must be left unconnected.

Рис 2. Набор сигналов Micron NAND Flash

с указанием различий для синхронного и асинхронного режимов

Передача осуществляется по двунаправленной шине данных (DQ), тактовая частота и разрядность которой зависит от типа микросхемы. Сигналы стробирования адреса и команд (ALE, CLE) управляют мультиплексированием информации, передаваемой по шине (адреса, данные, команды). Линия разрешения доступа (CE#) позволяет осуществить поочередное обращение к микросхемам, подключенным к общей шине. Также обратим внимание на сигналы тактирования (CLK) и стробирования (DQS), реализующие синхронный протокол передачи информации с тактированием данных источником (source-synchronous protocol).



Рис 3. NAND-микросхемы флэш-памяти [Micron 29F64Go8CFACB](#) на плате накопителя

Как и в случае микросхем Intel, документация делает акцент на *опциональной* поддержке синхронного режима. А еще одним свойством, позаимствованным от устройств SDRAM, является применение отдельных цепей питания и земли для запоминающей матрицы и интерфейса (Vcc, Vccq, Vss, Vssq).

Нужна ли очередь команд твердотельным дискам?

Архитектура устройства детерминирована его функциональностью. Интерфейсный блок (I/O Control) обеспечивает обмен информацией. Последовательность формирования сигналов и смены состояний определяется логикой управления (Control Logic). Центральное место занимает двумерно адресуемая накопительная матрица (NAND Flash Array), снабженная кэш-памятью. Размер такой кэш-памяти может зависеть от модели микросхемы, типовое значение 4 килобайта.

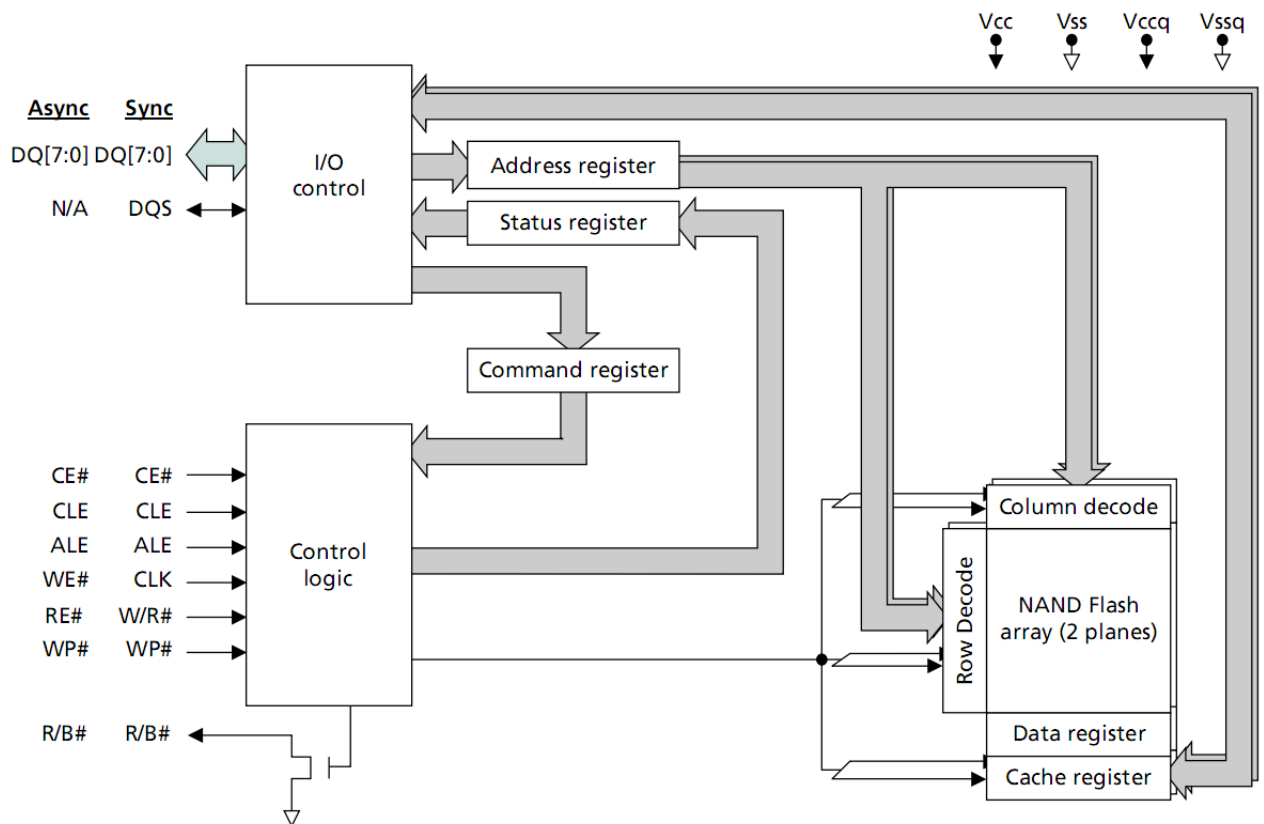


Рис 4. Блок-схема устройства включает двумерную запоминающую матрицу, внешний интерфейс и схему управления

На макро-уровне, запоминающая матрица SSD накопителя имеет иерархическую структуру. Как правило, она содержит несколько микросхем, каждая из которых может включать один или несколько кристаллов, называемых Die или LUN (Logical Unit Number). В свою очередь, внутренняя организация LUN подразделяется на строки, столбцы и страницы, согласно рис. 4. Указанное обстоятельство делает структуру зависимой от предыстории операций. Например, несколько запросов, адресованных одному LUN, будут обслужены быстрее, чем несколько запросов, адресованных различным LUN.

А это значит, что несмотря на отсутствие каких-либо движущихся узлов и такого понятия как *позиционирование магнитных головок*, мотивация для изменения последовательности обработки запросов, в свое время вызвавшая к жизни технологию *NCQ (Native Command Queuing)* для магнитных дисков, остается актуальной для SSD дисков. Вспомним, что контроллер NVMe, оптимизированный для обслуживания твердотельных накопителей, способен поддерживать длину очереди команд до 65536 запросов, [против значения 32 у контроллера AHCI](#). Логично предположить, что длина фрагмента очереди, в рамках которого выполняется оптимизация, обычно меньше полной поддерживаемой длины очереди и является device-specific свойством контроллера.

Резюме

Понимание принципов стандартизации и развития индустрии, делает прямой вопрос «Какой производитель лучше?» дилетантским и даже несколько неприличным. Для начала стоит сравнивать хотя бы только *две конкретные микросхемы*, внимательно определив набор критериев для такого сравнения, по информации из Data Sheet.

Литература

[1] Micron NAND Flash Memory.

[2] Intel 64M20C Client Compute NAND Flash Memory.